

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-206045  
(43) Date of publication of application : 13.08.1993

(51) Int.CI.

H01L 21/22  
H01L 21/225  
H01L 21/265

(21) Application number : 04-011729

(71) Applicant : HITACHI LTD  
HITACHI HOKKAI  
SEMICONDUCTOR LTD  
(72) Inventor : MIYAGUCHI TAKASHI  
KONDO KATSUNORI

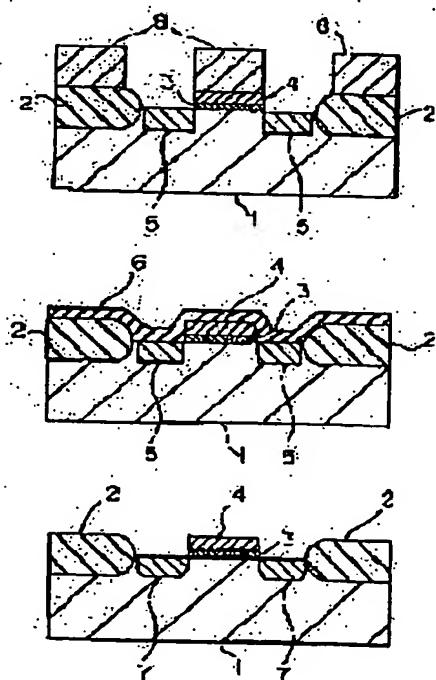
(22) Date of filing : 27.01.1992

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57) Abstract:

**PURPOSE:** To widen the crystal defect mainly in the depth direction and implement the low resistance of an impurity layer by executing an ion implantation of IV element in the anticipated area where the impurity layer is formed in a semiconductor substrate, and then, by giving a heat diffusion of the impurity for the formation of the impurity layer.

**CONSTITUTION:** After a resist is coated on the entire surface of a semiconductor substrate, an opening is provided for the area where an impurity layer is to be formed, thus forming a resist mask 8 for an ion implantation. Then, the Si ion implantation is executed. In this way, many numbers of crystal defects extend in the direction of the implantation in the Si ion implantation area. This area is thus made an amorphous area 5. Then, after the resist mask 8 on the surface of the semiconductor substrate 1 is removed, a glass film 6 containing an impurity element is deposited on the entire surface of the semiconductor substrate 1. In succession, the impurity element contained in the glass film 6 is diffused by a heat treatment. Thus, lastly, an impurity layer 7 is obtained when the unwanted glass film 6 is removed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-206045

(43) 公開日 平成5年(1993)8月13日

(51) Int.Cl.

識別記号

序内整理番号

F 1

技術表示箇所

H 01 L 21/22

E 9278-4M

21/225

Q 9278-4M

21/265

8617-4M

H 01 L 21/265

Q

8617-4M

P

審査請求 未請求 請求項の数3(全4頁) 最終頁に続く

(21) 出願番号

特願平4-11729

(22) 出願日

平成4年(1992)1月27日

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人

000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者

宮口 貴

山梨県中巨摩郡竜王町西八幡(地番なし)

株式会社日立製作所甲府工場内

(72) 発明者

近藤 勝則

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人

弁理士 小川 勝男

(54) 【発明の名称】 半導体装置の製造方法

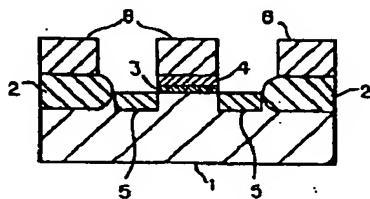
(57) 【要約】

【目的】 素子の微細化に適し、しかも、形成される不純物層の抵抗値の低減が図れる、半導体装置の製造方法を提供する。

【構成】 半導体基板中に不純物を拡散させることにより不純物層を形成するにあたり、前記半導体基板中の不純物層形成予定領域にIV族の元素をイオン打込みすることによって結晶欠陥を生成した後に、熱不純物拡散を行って前記不純物層を形成するようにした。

【効果】 素子の微細化と、形成される不純物層の抵抗値の低減とが同時に実現できる。

【図 2】



## 【特許請求の範囲】

【請求項1】 半導体基板中に不純物を拡散させることにより不純物層を形成するにあたり、前記半導体基板中の不純物層形成予定領域にIV族の元素をイオン打込みすることによって結晶欠陥を生成した後に、熱不純物拡散を行って前記不純物層を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 S1をイオン打込みすることを特徴とする請求項1または請求項1記載の半導体装置の製造方法。

【請求項3】 前記熱不純物拡散によってIII族あるいはV族の不純物元素を前記半導体基板中に導入することを特徴とする請求項1記載または請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体技術さらには不純物層の形成に適用して有効な技術に関するもので、さらに詳しくは、不純物の拡散を利用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体基板中に不純物を導入することにより不純物層を形成する方法としては、①不純物を含んだ気相中からの拡散、②不純物を含んだガラス中からの拡散、③イオン打込みと熱処理（アニール）の組合せ、が知られている。これらのことについて、例えば、昭和60年11月15日に株式会社培風館から発行された「超高速バイポーラ・デバイス」第103頁に記載されている。

【0003】 これらのプロセスは、半導体基板表面に一定量の不純物元素を導入するプレデポジションと、その一定量の不純物元素を熱処理によって基板中の必要な深さにまで移動させるドライブインの2つのステップからなっている。

## 【0004】

【発明が解決しようとする課題】 ところが、前記従来の不純物拡散方法にあっては下記のような問題があった。

【0005】 即ち、①の不純物を含んだ気相中からの拡散、②の不純物を含んだガラス中からの拡散では、半導体基板表面に導入された不純物元素が深さ方向と略等に横方向へも移動するため、素子の微細化が困難であるという問題があった。

【0006】 そこで、素子の微細化が要求される今日は、特別な場合（バイポーラLSIのコレクタ埋込層などの形成の場合）を除いては、③のイオン打込みと熱処理の組合せ、が用いられている。ところが、最近のさらなる素子の微細化の要請に伴って、打込み不純物元素を活性化させるための熱処理（アニール）温度が低温化される傾向にあり、打込み不純物元素の活性化が十分に行なわれないことになり、そのため、形成される不純物層

の抵抗値の低減が困難なという問題があった。

【0007】 本発明は、かかる問題点に鑑みなされたものであり、素子の微細化に適し、しかも、形成される不純物層の抵抗値の低減が困難な、半導体装置の製造方法を提供することを目的としている。

【0008】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

【0010】 即ち、本願発明は、半導体基板中に不純物を拡散させることにより不純物層を形成するにあたり、前記半導体基板中の不純物層形成予定領域にIV族の元素をイオン打込みすることによって結晶欠陥を生成した後に、熱不純物拡散を行って前記不純物層を形成するようにしたものである。

## 【0011】

【作用】 上記した手段によれば、熱不純物拡散前に半導体基板中に結晶欠陥が作られる。この結晶欠陥はイオン打込みによって生成されるため、横方向にはあまり拡がらず、主に深さ方向に拡がる。

【0012】 この状態で、熱拡散による不純物導入を行なうと、結晶欠陥の存在しない横方向に比べ、結晶欠陥の存在する深さ方向の拡散速度が速くなり、熱拡散でありながら異方性の拡散を実現できる。すなわち、通常の熱不純物拡散では、シリコン単結晶におけるシリコンと置き換わりながら拡散してゆく置換拡散であり等方性の拡散となるが、結晶欠陥が存在する場合には、格子間拡散となり、結晶欠陥の伸展方向で拡散速度が速くなり、異方性の拡散が実現できる。

【0013】 その結果、不純物層は横方向へ必要以上に拡がらず、その分、素子の微細化を図ることができる。また、熱不純物拡散を用いているため、導入された不純物元素の活性化が迅速に進み、形成される不純物層の低抵抗化が図れることになる。

## 【0014】

【実施例】 以下、本発明に係る半導体装置の製造方法の実施例を図面に基づき説明する。

【0015】 図1乃至図4は本発明をMOS-LSIのソース・ドレインの形成に応用した場合のプロセスフローを示している。このうち図1は半導体基板（シリコン基板）1の表面にフィールド酸化膜2、ゲート酸化膜（ゲート絶縁膜）3およびゲート電極4を形成した後の状態を示している。ここまで工程は公知の技術なので説明は省略する。

【0016】 図1に示す半導体基板1上全面にレジストを塗付した後、不純物層を形成したい領域を開口し、イオン打込みのためのレジストマスク8を形成する。その

3

後、S1(シリコン)のイオン打込みを行う。これにより、S1イオン打込み領域(不純物層形成予定領域)には多数の結晶欠陥が打込み方向へ向けて伸展し、この領域は非晶質化領域5となる。ここまで終了した状態が図2に示されている。

【0017】次に、半導体基板1の表面のレジストマスク8を除去してから、図3に示すように、不純物元素含有のガラス膜6を半導体基板1上全面に被着させる。不純物元素としてはIII族の元素(例えばボロン)若しくはIV族の元素(例えばリン)が含有されている。

【0018】続いて、この基板を炉内において一定時間、所定の温度で加熱する。加熱処理によって、ガラス膜6内部に含まれる不純物元素を拡散させる。

【0019】そして、最後に、不要となったガラス膜6を除去すれば、図4に示すようにソース・ドレインの不純物層7が得られる。

【0020】上記実施例の方法によれば、下記の効果が得られる。

【0021】すなわち、上記実施例の方法によれば、熱不純物拡散前に半導体基板1中に結晶欠陥が作られる。この結晶欠陥はイオン打込みによって生成されるため、横方向にはあまり拡がらず、主に深さ方向に拡がる。この状態で、熱拡散による不純物導入を行なうと、結晶欠陥の存在しない横方向に比べ、結晶欠陥の存在する深さ方向の拡散速度が速くなり、熱拡散でありながら異方性の拡散を実現できる。その結果、不純物層7は横方向へ必要以上に拡がらず、その分、素子の微細化が図ることができる。また、熱不純物拡散を用いているため、導入された不純物元素の活性化が迅速に進み、形成される不純物層7の低抵抗化が図れることになる。

【0022】以上、本発明者によってなされた発明を実

施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0023】例えば、前記実施例では、熱不純物拡散法として固相拡散法を用いたが、気相拡散法などを用いてもよい。

【0024】また、イオン打込みは半導体基板を非晶質化するのが目的であるから、ここで打ち込むイオン元素はS1元素以外のものであっても良く、基板を非晶質化するのに十分な大きさの元素量を有する元素で、かつ、キャリアとして働く元素であれば良い。例えば、Ge(ゲルマニウム)イオンを打ち込むようにしても良い。

【0025】さらに、本発明はMOS-LSI以外の半導体、例えばバイポーラ型のLSIの形成にも適用可能であることはいうまでもない。

【0026】また、本発明は、基板がシリコンの場合だけでなく、化合物半導体の場合にも適用できる。

【0027】

【発明の効果】本発明によれば、素子の微細化と、形成される不純物層の抵抗値の低減とが同時に実現できる。

【図面の簡単な説明】

【図1】図1はフィールド酸化膜、ゲート酸化膜およびゲート電極を形成した後の状態を示す図である。

【図2】図2は結晶欠陥形成後の状態を示す図である。

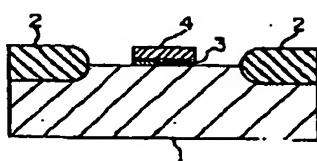
【図3】図3は熱不純物拡散の状態を示す図である。

【図4】図4は不純物層形成後の状態を示す図である。

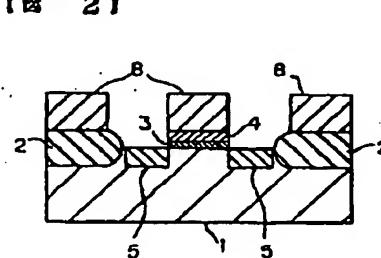
【符号の説明】

1	半導体基板	
30	5	非晶質化領域5
7	不純物層	

【図1】



【図2】



【図1】

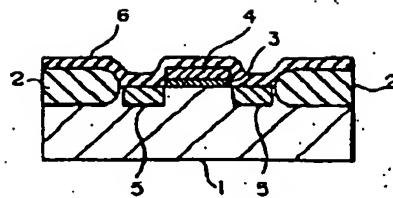
【図2】

(4)

特開平5-206045

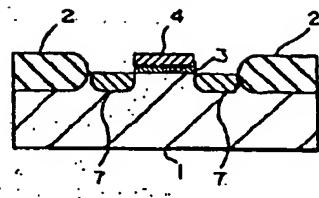
【図3】

【図3】



【図4】

【図4】



---

フロントページの綴ぎ

(51) Int. Cl. F

識別記号

序内整理番号

8617-4M

F I

H 0 1 L 21/265

技術表示箇所

A